

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-124844**
 (43)Date of publication of application : **24.04.1992**

(51)Int.CI.

H01L 21/60

(21)Application number : **02-243799**
 (22)Date of filing : **17.09.1990**

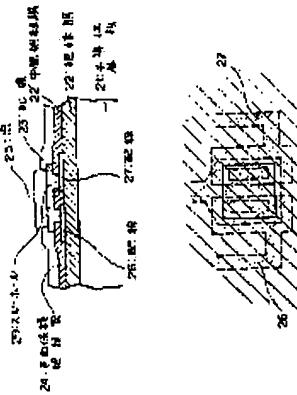
(71)Applicant : **OKI ELECTRIC IND CO LTD**
 (72)Inventor : **MATSUMURA KAZUO**

(54) STRUCTURE OF BONDING PAD ELECTRODE FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the number of predetermined bonding pad electrodes and to simplify a wire bonding step by forming wirings near to each other to be common of one or more layers of wirings in a structure that the wirings are connected to each other by wirings used also as bonding pads thereon and through holes formed in an intermediate insulating film interposed therebetween.

CONSTITUTION: In a semiconductor device having wirings formed as a plurality of layers, wirings 26, 27 near to each other to be common of at least one layer of wiring are connected to each other by a wiring 23 used also as a bonding pad 25 thereon and a through hole 29 formed in an intermediate insulating film 22' interposed therebetween. Thus, even of the number of lead electrodes is increased, the number of pad electrodes can be reduced, and an array of inner active elements for reducing a semiconductor chip area and an array of the pad electrodes can be formed. Further, since the chip area can be reduced, the number of chips obtained from a wafer of finite size can be increased. Since the number of wire bindings is reduced, a wire bonding step can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑯ 公開特許公報 (A) 平4-124844

⑤Int. Cl. 5
H 01 L 21/60識別記号 庁内整理番号
301 P 6918-4M

④公開 平成4年(1992)4月24日

審査請求 未請求 請求項の数 1 (全3頁)

④発明の名称 半導体装置のポンディングパッド電極の構造

②特 願 平2-243799

②出 願 平2(1990)9月17日

⑦発明者 松村 和夫 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑦出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑦代理人 弁理士 鈴木 敏明

明細書

1. 発明の名称

半導体装置のポンディングパッド電極の構造

2. 特許請求の範囲

複数の層として形成され配線を有する半導体装置において、

少くとも1層の配線の内、共通としうる、接近した配線が、その上の、ポンディングパッドを兼ねる配線と、その間に介在する中間絶縁膜に形成したスルーホールにより接続されるごとくなつたことを特徴とする半導体装置のポンディングパッド電極の構造。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、詳細には半導体装置のワイヤポンディングパッド電極の構造に関する。

(従来の技術)

半導体チップ上のパッドとパッケージ上の外部

リードとを金線またはアルミニウム線を用いて結線する際に用いられるワイヤポンディングパッド電極の従来の構造の一例を平面および断面図として第3図に、そして他の例を同様にして第4図に示す。

第3図の例においては半導体基板1の上に絶縁膜2を設け、その上に配線用の例えばアルミニウム膜3を形成し、その上の表面保護絶縁膜4に窓を明けてその部分のアルミニウム膜3をワイヤポンディングパッド電極5としている。また第4図の例では絶縁膜2の上のアルミニウム膜3の上に、中間絶縁膜2'を設け、それにスルーホール6を形成し、このスルーホール6を通じてアルミニウム膜3と一体化するアルミニウム膜をその部分にのみ与え、そして窓5を有する表面保護絶縁膜4を設けている。これら半導体チップ内に配線が複数の層として形成されている場合の配線の層間相互接続に広く用いられている。

(発明が解決しようとする課題)

これら従来のワイヤポンディングパッド電極の

構造においては、半導体装置の機能を有する内部能動素子に信号を与えるあるいはそれから信号を得るための電極であるポンディングパッドの数は一般にそれら信号の数に対応している。例えば、内部能動素子の内、同一の外部信号を入力とする素子に対しては夫々その信号用のワイヤポンディングパッド電極を設けなくてはならず、半導体チップの面積に対する電極面積はかなり大きな率となる。また、ワイヤポンディングは夫々のポンディングパッド電極について行わねばならないため、実装工程が複雑なものとなる。

本発明の目的は1個のポンディングパッド電極に対し複数の配線を接続しうるポンディングパッド電極の構造を提供し、所要ポンディングパッド電極数を減少させ、それによりその半導体チップに対する占有率を低下させると共に、ワイヤポンディング工程を簡略化することである。

(課題を解決するための手段)

複数の能動素子層に形成されて同一の信号を入力とする能動素子を有する半導体装置において一

つの層におけるそのような能動素子からの配線であってその装置のポンディングパッド電極の領域において接近したものとその上の少くとも1つの層の能動素子からの配線であって上記ポンディングパッド電極の領域にある配線をそれらの層間の中間絶縁層に設けたスルーホールにより接続し、上側の層の配線をポンディングパッド電極として使用する。

(作 用)

下の層の複数の配線と上の層の配線の内、共通としうるもののがポンディングパッド電極領域において1個のポンディングパッド電極に接続される。

(実施例)

第1図(A)は本発明の一実施例によるワイヤポンディングパッド電極構造を示す断面図であり、第1図(B)はその平面図である。

第1図(A)において、半導体基板21の上に絶縁膜22が形成され、その上に第1の配線層が設けられる。この配線層において共通としうる配線26、27が1つのワイヤポンディングパッド

電極の形成されるべき箇所に接近して置かれている。

この配線層の上に、スルーホール29を有する中間絶縁膜22'が形成されその上に第2の配線層における配線23が配置される。配線26と27はスルーホール29を介して配線23と接続する。

更にその上に窓(25)を有する表面保護絶縁膜24が形成され、それにより露出した配線23の部分でワイヤポンディングパッド電極25が形成される。その結果、第1図(B)に示すように、3個の配線26、27および23が共通に接続した1個のワイヤポンディング電極25が得られる。

第2図は本発明の第二の実施例によるワイヤポンディングパッド電極の断面図である。絶縁膜22上の第1層配線26の上にスルーホール29を有する中間絶縁膜22'が配置され、第2層配線27と28がその上に形成されており、配線28はスルーホール29を通じて配線26と接続している。この第2層配線の上にはスルーホール30を有する中間絶縁膜22'が形成され、その上に第3層

配線23が配置されてスルーホール30を通じて第2層配線27と28に接続する。

この第3層配線23の上に、窓(25)を有する表面保護絶縁膜24が形成され、窓(25)内で露出する第3層配線23により少くとも4個の配線を接続する1個のワイヤポンディングパッド電極25がつくられる。

(発明の効果)

本発明によれば、1個のワイヤポンディングパッド電極に各層の共通化しうる配線が接続する。従って引き出し電極の数が多くてもパッド電極の数を少くすることが出来、半導体チップ面積を減少するための内部能動素子の配列及びポンディングパッド電極の配列を可能にする。また、同一パッド電極から分離配線が可能となるので大電流を要する内部能動素子群を集約出来る。更にチップ面積が縮小化しうるから有限寸法のウエハから得られるチップの数の増加が期待出来る。

また、ワイヤポンディング数が減少することから材料経済に有利であり、またポンディング時間

も短縮される。

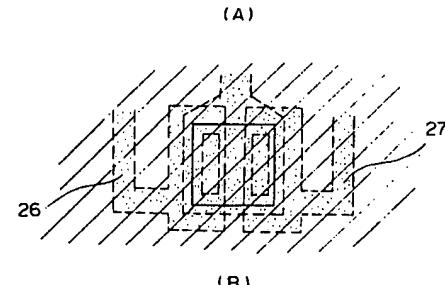
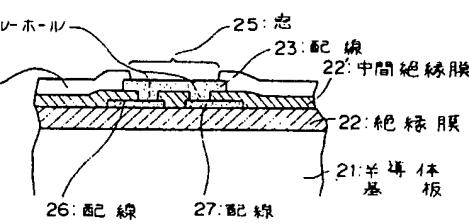
4. 図面の簡単な説明

第1図(A)および(B)は本発明の一実施例を示す断面図および平面図、第2図は本発明の他の実施例を示す断面図、第3図(A)、(B)は従来のボンディングパッド電極の一例を示す平面及び断面図、第4図(A)、(B)は他の従来の構造を示す平面および断面図である。

21…半導体基板、22…絶縁膜、22'…中間絶縁膜、23、26、27、28…配線、29、30…スルーホール、24…表面保護絶縁膜。

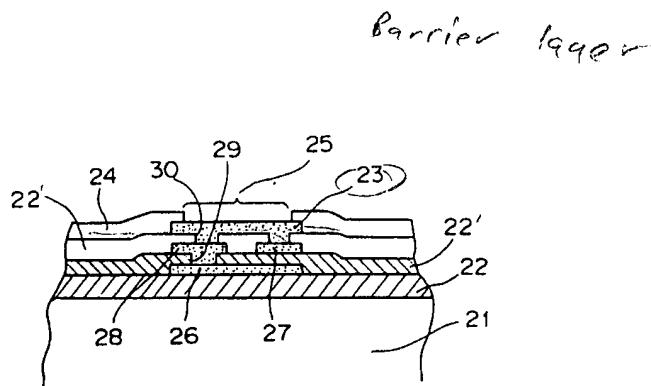
特許出願人 沖電気工業株式会社

代理人 鈴木敏明



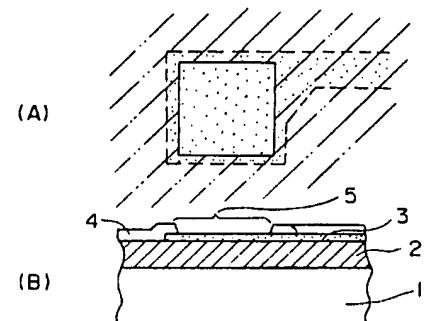
本発明に係るボンディングパッド電極部を示す図

第1図



本発明の他の実施例を示す図

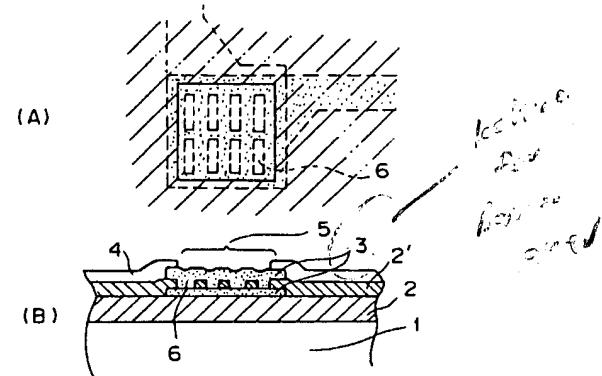
第2図



(B)

従来のボンディングパッド電極を示す図

第3図



(B)

従来のボンディングパッド電極を示す図

第4図